

Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475

PCT/JP 03/16475 CT

22.12.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 15 JAN 2004

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年12月20日

出 願 番 号
Application Number: 特願2002-370135
[ST. 10/C]: [JP2002-370135]

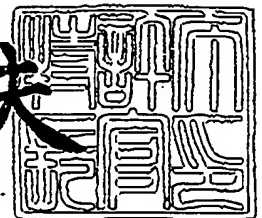
出 願 人
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 8月 8日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2003-306393

Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475
特願 2 0 0 2 - 3 7 0 1 3 5

ページ: 1/

【書類名】 特許願
【整理番号】 34103742
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/66
【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号
本電気株式会社内

日

【氏名】 山本 剛

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号
本電気株式会社内

日

【氏名】 蔡 兆申

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475
特願 2 0 0 2 - 3 7 0 1 3 5

ページ: 2/E

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213988

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 量子演算素子及びその使用方法

【特許請求の範囲】

【請求項 1】 量子箱電極と対向電極が第 1 のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合した第 1 のゲート電極と、前記量子箱電極と第 2 のトンネルバリアを介して結合したトラップ電極と、単電子トランジスタとを備え、前記単電子トランジスタはソース電極、島電極、ドレイン電極、及びゲート容量により島電極と結合した第 2 のゲート電極を有し、前記トラップ電極と前記単電子トランジスタの島電極とが静電容量を介して結合していることを特徴とする量子演算素子。

【請求項 2】 前記量子箱電極と前記対向電極と前記トラップ電極のいずれもが超伝導材料からなることを特徴とする請求項 1 に記載の量子演算素子。

【請求項 3】 前記第 2 のトンネルバリアを介したキャリア緩和時間が、前記第 1 のトンネルバリアを介したコヒーレント振動周期より長いことを特徴とする請求項 1 または請求項 2 に記載の量子演算素子。

【請求項 4】 前記第 2 のトンネルバリアを形成する絶縁膜の厚さが、前記第 1 のトンネルバリアを形成する絶縁膜の厚さより厚いことを特徴とする請求項 1 または請求項 2 に記載の量子演算素子。

【請求項 5】 前記第 2 のトンネルバリアを介したキャリア緩和時間が、前記第 1 のトンネルバリアを介したコヒーレント振動周期の 5 倍から 1000 倍の範囲にあることを特徴とする請求項 1 または請求項 2 に記載の量子演算素子。

【請求項 6】 前記第 2 のトンネルバリアを形成する絶縁膜の厚さが、前記第 1 のトンネルバリアを形成する絶縁膜の厚さの 1 倍から 3 倍の範囲にあることを特徴とする請求項 1 または請求項 2 に記載の量子演算素子。

【請求項 7】 請求項 1 から請求項 6 のいずれか一項に記載の量子演算素子の使用方法において、前記対向電極に負バイアス電圧を印加することにより前記量子箱電極中に余剰クーパ対が存在する場合にのみ前記余剰クーパ対をトラップ電極に取り出す処理工程と、前記処理工程の前後における単電子トランジスタを流れる電流値の変化を計測する工程を含むことを特徴とする量子演算素子の

使用方法。

【請求項 8】 請求項 1 から請求項 6 のいずれか一項に記載の量子演算素子の使用方法において、前記トラップ電極に正バイアス電圧を印加することにより前記量子箱電極中に余剰クーパー対が存在する場合にのみ前記余剰クーパー対をトラップ電極に取り出す処理工程と、前記処理工程の前後における単電子トランジスタを流れる電流値の変化を計測する工程を含むことを特徴とする量子演算素子の使用方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ジョセフソン結合システムで構成される量子計算機に用いる量子演算素子及びその使用方法に関する。

【0002】

【従来の技術】

従来より、量子計算機に超伝導量子演算素子を用いることができることが知られている（例えば、特許文献 1 参照。）。

【0003】

図 2 は従来の超伝導量子演算素子の一例を示す回路図である。

【0004】

超伝導箱電極 205 中の余剰クーパー対数は帯電効果により 0 または 1 に制限される。そして、この 2 つの状態は第 1 のトンネルバリア 207 を介した対向電極 204 と超伝導箱電極 205 との間のクーパー対のトンネリングによってコヒーレントに結合している。

【0005】

ゲート電極 201 に印加されたゲート電圧がゲート容量 202 を介して超伝導箱電極 205 に作用し、量子ビットに対する演算を行なうことになる。

【0006】

さらに超伝導箱電極 205 には第 2 のトンネルバリア 206 を介して読み出し電極 203 が設けられている。

【0007】

この第2のトンネルバリア206はクーパー対のコヒーレンスをなるべく長時間壊さないように第1のトンネルバリア207に比べて厚く、従ってトンネル確率が十分小さくなるように作られている。

【0008】

読み出し電極203は電圧源によって正にバイアスされており、超伝導箱電極205中に余剰クーパー対が存在する場合は2つの準粒子トンネリングによってそれらが引き出され、ある一定の電流を与える。

【0009】

一方、余剰クーパー対が存在しない場合は何も起こらない。従って、接合を流れる電流を計測することにより、二つの状態を区別すること、即ち量子状態の読み出しを可能とする構成としている。

【0010】

このとき、単一のクーパー対の緩和による電流を検出することは測定精度上困難であるため、同じ演算を多数回繰り返し平均化することにより検出可能な電流を得ている。

【0011】

また、高周波単一電子トランジスタを用いて、単一試行での読み出しを試みているものもある（例えば、非特許文献1参照。）。

【0012】

【特許文献1】

特開2000-277723号公報（[0013] [0015]、図1）

【非特許文献1】

サイエンス（Science），（米国），1998年5月22日，
第280巻，p. 1238-1242

【0013】

【発明が解決しようとする課題】

しかしながら、従来の量子演算素子では測定結果を得るためには複数回の測定を行い、それらの試行結果の平均値を算出する処理が必要があり、この場合には

量子状態の相関に関する情報を得ることができないという問題があった。

【0014】

また、高周波単一電子トランジスタを用いた従来の技術では、高周波信号を扱うため量子演算回路が全体的に複雑となるという問題があった。

【0015】

本発明は、このような技術的背景のもとでなされたものである。したがって、本発明の目的は、高周波信号処理を用いない単純な回路構成のもとで、単一試行による量子状態の読み出しができる量子演算素子及びその使用方法を提供することである。

【0016】

【課題を解決するための手段】

上記目的を達成するために、本発明は、量子箱電極と対向電極が第1のトンネルバリアを挟んで結合した量子ビット構造と、前記量子箱電極と静電容量を介して結合した第1のゲート電極と、前記量子箱電極と第2のトンネルバリアを介して結合したトラップ電極と、単電子トランジスタとを備え、前記単電子トランジスタはソース電極、島電極、ドレイン電極、及びゲート容量により島電極と結合した第2のゲート電極を有し、前期トラップ電極と前記単電子トランジスタの島電極とが静電容量を介して結合していることを特徴とする。

【0017】

また、本発明は、量子箱電極と対向電極とトラップ電極のいずれもが超伝導材料からなることを特徴とする。

【0018】

また、本発明は、第2のトンネルバリアを介したキャリア緩和時間が、第1のトンネルバリアを介したコヒーレント振動周期より長いことを特徴とする。

【0019】

また、本発明は、第2のトンネルバリアを形成する絶縁膜の厚さが、第1のトンネルバリアを形成する絶縁膜の厚さより厚いことを特徴とする。

【0020】

また、本発明は、第2のトンネルバリアを介したキャリア緩和時間が、第1の

トンネルバリアを介したコヒーレント振動周期の5倍から1000倍の範囲にあることを特徴とする。

【0021】

また、本発明は、記第2のトンネルバリアを形成する絶縁膜の厚さが、第1のトンネルバリアを形成する絶縁膜の厚さの1倍から3倍の範囲にあることを特徴とする。

【0022】

さらに、本発明は、量子演算素子の使用方法において、対向電極に負バイアス電圧を印加することにより量子箱電極中に余剰クーパー対が存在する場合にのみ余剰クーパー対をトラップ電極に取り出す処理工程と、この処理工程の前後における単電子トランジスタを流れる電流値の変化を計測する工程を含むことを特徴とする。

【0023】

また、本発明は、量子演算素子の使用方法において、トラップ電極に正バイアス電圧を印加することにより量子箱電極中に余剰クーパー対が存在する場合にのみ余剰クーパー対をトラップ電極に取り出す処理工程と、この処理工程の前後における単電子トランジスタを流れる電流値の変化を計測する工程を含むことを特徴とする。

【0024】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0025】

図1は、本発明の実施の一形態に係る量子演算素子の構成を示す回路図である。

【0026】

図1において、106は低温時に超伝導状態となる超伝導体からなる超伝導箱電極、104はソース電極として作用する超伝導体からなる対向電極、101は超伝導体又は常伝導体からなる第1のゲート電極、107は超伝導箱電極106と対向電極104との間の薄膜からなる第1のトンネルバリア、102はゲート

電極101と超伝導箱電極106との間の第1のゲート容量、103は超伝導体からなるトラップ電極、108は超伝導箱電極106とトラップ電極103との間の第2のトンネルバリアであり第1のトンネルバリア107より厚く形成されている。

【0027】

読み出し用単電子トランジスタは、ソース電極109、島電極110、ドレイン電極113及び第2のゲート電極111からなり、トラップ電極103と島電極110は読み出し容量105を介して、島電極110とソース電極109は薄膜からなる第3のトンネルバリア114を介して、島電極110とドレイン電極113は薄膜からなる第4のトンネルバリア115を介して、島電極110と第2のゲート電極111とは第2のゲート容量112を介してそれぞれ結合している。

【0028】

なお、読み出し容量105に代えて、トラップ電極103と島電極110とをトンネルバリアを介して結合することもできる。

【0029】

ここで、読み出し用単電子トランジスタのソース電極109、島電極110、ドレイン電極113、第2のゲート電極111には、超伝導体又は常伝導体のいずれの材料でも用いることができる。

【0030】

次に図1を用いて本発明の実施の一形態に係る量子演算素子の動作を説明する。

【0031】

絶縁体基板上に形成された超伝導体膜からなる超伝導箱電極106が、第1のトンネルバリア107を挟んで超伝導体薄膜からなる対向電極104と結合している。

【0032】

そして、第1のゲート電極101が第1のゲート容量102を介して超伝導箱電極106に近接して配置され、トラップ電極103が第2のトンネルバリア1

電極101と超伝導箱電極106との間の第1のゲート容量、103は超伝導体からなるトラップ電極、108は超伝導箱電極106とトラップ電極103との間の第2のトンネルバリアであり第1のトンネルバリア107より厚く形成されている。

【0027】

読み出し用単電子トランジスタは、ソース電極109、島電極110、ドレイン電極113及び第2のゲート電極111からなり、トラップ電極103と島電極110は読み出し容量105を介して、島電極110とソース電極109は薄膜からなる第3のトンネルバリア114を介して、島電極110とドレイン電極113は薄膜からなる第4のトンネルバリア115を介して、島電極110と第2のゲート電極111とは第2のゲート容量112を介してそれぞれ結合している。

【0028】

なお、読み出し容量105に代えて、トラップ電極103と島電極110とをトンネルバリアを介して結合することもできる。

【0029】

ここで、読み出し用単電子トランジスタのソース電極109、島電極110、ドレイン電極113、第2のゲート電極111には、超伝導体又は常伝導体のいずれの材料でも用いることができる。

【0030】

次に図1を用いて本発明の実施の一形態に係る量子演算素子の動作を説明する。

【0031】

絶縁体基板上に形成された超伝導体膜からなる超伝導箱電極106が、第1のトンネルバリア107を挟んで超伝導体薄膜からなる対向電極104と結合している。

【0032】

そして、第1のゲート電極101が第1のゲート容量102を介して超伝導箱電極106に近接して配置され、トラップ電極103が第2のトンネルバリア1

08を介して超伝導箱電極106と結合している。

【0033】

ここで、第1のトンネルバリア107を介して超伝導箱電極106に入ったクーパー対は、ある時間の経過の後にエネルギーを放出して2個の電子となり、第2のトンネルバリア108をトンネルしてトラップ電極103に至る。このときのクーパー対の寿命に対応する時間をキャリア緩和時間とよぶ。

【0034】

また、クーパー対のコヒーレントな振動の周期をコヒーレント振動周期という。

【0035】

そして、第2のトンネルバリア108を介したキャリア緩和時間が、第1のトンネルバリア107を介したコヒーレント振動周期より長くなるように、第2のトンネルバリア108を構成する絶縁膜の厚さは第1のトンネルバリア107を構成する絶縁膜よりも厚く形成する。

【0036】

これは、第2のトンネルバリア108を介した電子の緩和が起こるまでの十分長い時間のあいだに、第1のトンネルバリア107を介したコヒーレントなクーパー対の振動による量子演算を行うことを可能とするためである。

【0037】

そして、第1のゲート電極101に印加されるゲート電圧により超伝導箱電極106の静電ポテンシャルを制御することによって、第1のトンネルバリア107を介した超伝導箱電極106と対向電極104との間のクーパー対のトンネリング、すなわち量子ビットの状態の遷移を制御することができる。

【0038】

一方、対向電極104は負にバイアスされており、超伝導箱電極106に余剰クーパー対が存在するときのみ第2のトンネルバリア108を介した2つの準粒子トンネリングによって、2電子が引き出される。

【0039】

ここで、対向電極104を負にバイアスした場合には、トラップ電極103に

はバイアスをかける必要がないので、演算中は読み出し用単電子トランジスタのソース電極109及びドレイン電極113をゼロバイアスに保つことができる。

【0040】

また、演算中に読み出し用単電子トランジスタのソース電極109及びドレイン電極113に等しい正バイアスを印加し、トラップ電極103を正にバイアスすることによっても同様の効果を得ることができる。

【0041】

演算が終了した後、単電子トランジスタのソース電極109を正にバイアスして電流を測定し、演算前の電流値との比較から0状態、1状態の区別が可能となる。

【0042】

この量子ビットの読み出し方法を図3を用いて具体的に説明する。

【0043】

図3において、横軸は読み出し用単電子トランジスタの第2のゲート電極111に印加する電圧値であり、縦軸は読み出し用単電子トランジスタを流れる電流値である。

【0044】

この電流は単電子トランジスタの特性よりゲート電圧に対して周期的に振動する関数となる。

【0045】

トラップ電極103に余剰クーパー対が存在する場合には、読み出し容量105を介して単電子トランジスタの島電極110のポテンシャルが変化する。

【0046】

その結果、この電流の関数は横軸方向に $2e/C_m$ だけシフトする。ここで e は電荷素量、 C_m は読み出し容量105の大きさである。

【0047】

従って、演算前の初期状態において単電子トランジスタの第2のゲート電極111に印加する電圧値を例えば図3に示すように V_{g0} に設定すると、演算後の状態が"0"の場合、すなわちトラップ電極103に余剰クーパー対が存在しな

いときは電流値は0のままであるが、"1"の場合、すなわちトラップ電極103に余剰クーバー対が存在する場合は ΔI の電流が検出される。

【0048】

これより、二つの状態を区別することが可能となる。

【0049】

読み出しが完了した後は、対向電極104を正にバイアスしトラップ電極103にたまった電荷を引き出すことにより初期化を図ることができる。

【0050】

以上説明したように、本発明の実施の形態によれば、トラップ電極103に演算後の超伝導箱電極106中の余剰クーバー対を溜め、その電荷量の変化を読み出し用の単電子トランジスタの直流電流値として読み出すことが出来る。

【0051】

そのため、高速で信号を読み出す必要がなくなるため、回路構成を単純にすることができる。

【0052】

また、単電子トランジスタを高感度の電荷計として用いることにより、電荷量を平均化することなく、単一の試行で量子ビットの状態観測が可能となる。

【0053】

次に、本発明の実施の一形態に係る量子演算素子の製造方法を説明する。

【0054】

図4は、本発明の実施の一形態に係る量子演算素子を示す平面図である。

【0055】

絶縁体基板403には、例えば表面酸化されたシリコン基板を用いることができる。

【0056】

超伝導箱電極405、対向電極404、トラップ電極402、第1のゲート電極401、島電極409、ドレイン電極410、ソース電極408の各電極は、低温の使用状態では超伝導状態となるアルミニウムまたはニオブ等により形成される。

【0057】

また、第1のゲート電極401、第2のゲート電極411には、上記超伝導材料の他に常伝導貴金属、例えば金または白金等を用いることもできる。

【0058】

ここで各電極の大きさは、超伝導箱電極405、トラップ電極402、島電極409については典型的には、幅が約50nm程度であり、長さが約700nm程度である。

【0059】

トンネル接合として用いる酸化アルミニウムからなる第1のトンネルバリア407は、超伝導箱電極405を蒸着した後に酸素を真空室に導入することにより超伝導箱電極405の表面を酸化し、その後に対向電極404を超伝導箱電極405とわずかに重なるように蒸着することにより形成する。

【0060】

次に、第2のトンネルバリア406は、対向電極404を蒸着した後に再度酸素を真空室に導入することにより超伝導箱電極405の表面をさらに酸化し、その後トラップ電極402を超伝導箱電極405とわずかに重なるように蒸着することにより形成する。

【0061】

読み出し用単電子トランジスタの第3のトンネルバリア412及び第4のトンネルバリア413も同様に形成される。

【0062】

図5は、本発明の実施の一形態に係る量子演算素子の製造工程の一例を示す図である。

【0063】

図5(a)に、電極形成にもちいるマスクパターンの一例を示す。また、図5(b)に蒸着工程後の量子演算素子の平面図を示す。

【0064】

図5(a)に示すマスク501を通して、超伝導箱電極507および島電極511としてアルミニウムを典型的には厚さ約150nm程度蒸着した後、蒸着装

Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475
特願 2002-370135

ページ: 11/

置の真空室の中に酸素あるいは酸素約10%とアルゴン約90%からなる混合ガスを導入し表面を酸化する。

【0065】

なお、電極材料としてニオブを用いた場合には、ニオブ電極の表面にあらかじめ薄くアルミニウムを蒸着し、その後アルミニウムを酸化する処理を行う。

【0066】

次に、このマスク501を通して対向電極504及びソース電極508とドレイン電極509を、それぞれ超伝導箱電極507および島電極511とその表面においてわずかに重なるように、異なる角度から蒸着する。

【0067】

この電極金属の重なり部分に挟まれた酸化アルミニウムがトンネルバリアになり、第1のトンネルバリア505、第3のトンネルバリア510、第4のトンネルバリア512が形成される。

【0068】

トラップ電極503側の第2のトンネルバリア506は、トンネルバリア505に比べて十分大きな抵抗を持つことが望ましいので、対向電極504の蒸着後に、再度酸素を真空室に導入し超伝導箱電極507の表面をさらに酸化したのちに、トラップ電極503を超伝導箱電極507とわずかに重なるように蒸着することにより形成する。

【0069】

ここでトンネルバリアの厚さは、典型的には、第1のトンネルバリア505、第3のトンネルバリア510、第4のトンネルバリア512では約1nm程度であり、第2のトンネルバリア506では約1nmから約3nm程度である。

【0070】

このときのコヒーレント振動周期は約20psecから約200psec程度、典型的には約100psec程度であり、キャリア緩和時間は約1nsecから約20nsec程度、典型的には約10nsec程度である。

【0071】

以上の工程において第1のゲート電極502及び第2のゲート電極503も形

成され、図 5 (b) に示す量子演算素子が完成する。

【0072】

【発明の効果】

以上説明したように、本発明によれば、量子ビット情報を平均化することなく単一の試行により直流電流値として読み出すことが出来る。そのため、読み出し処理回路及び量子ビット回路の構成を簡素化することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態に係る量子演算素子の構成を示す回路図である。

【図 2】

従来の技術による超伝導量子演算素子とその読み出し回路を示す回路図である。

【図 3】

本発明の実施の一形態に係る量子ビットの読み出し方法を説明する図である。

【図 4】

本発明の実施の一形態に係る量子演算素子を示す平面図である。

【図 5】

本発明の実施の一形態に係る量子演算素子の製造工程の一例を示す図である。

【符号の説明】

- 101、401、502 第1のゲート電極
- 102 第1のゲート容量
- 112 第2のゲート容量
- 201 ゲート電極
- 202 ゲート容量
- 103、402、503 トラップ電極
- 104、204、404、504 対向電極
- 105 読み出し容量
- 106、205、405、507 超伝導箱電極
- 107、207、407、505 第1のトンネルバリア

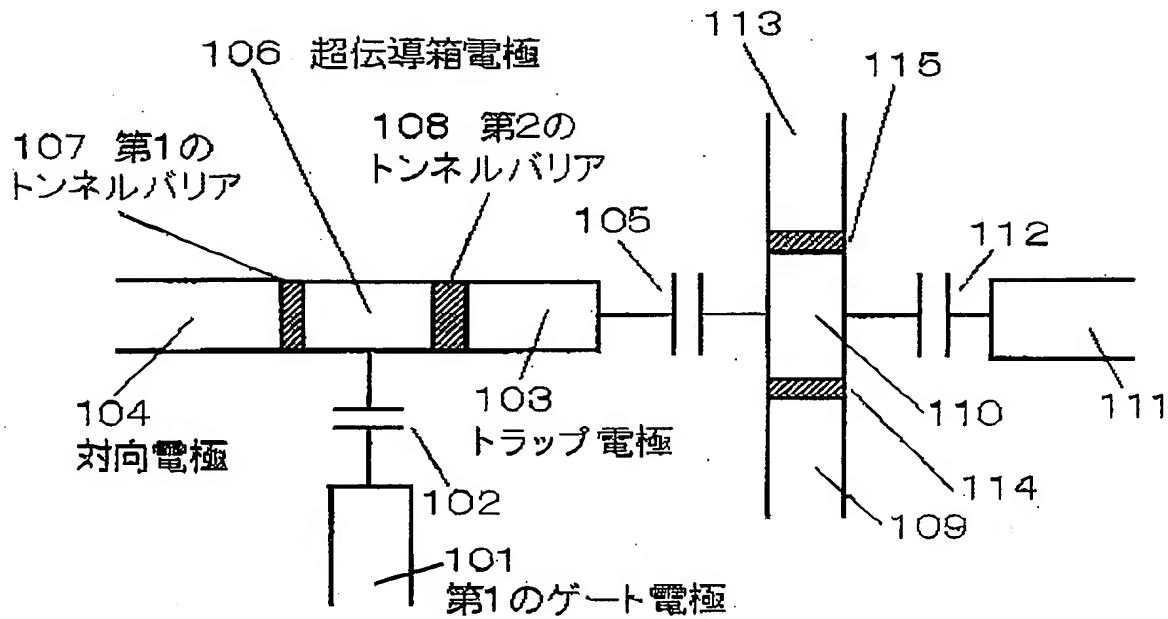
Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475
特願 2002-370135

ページ: 13/E

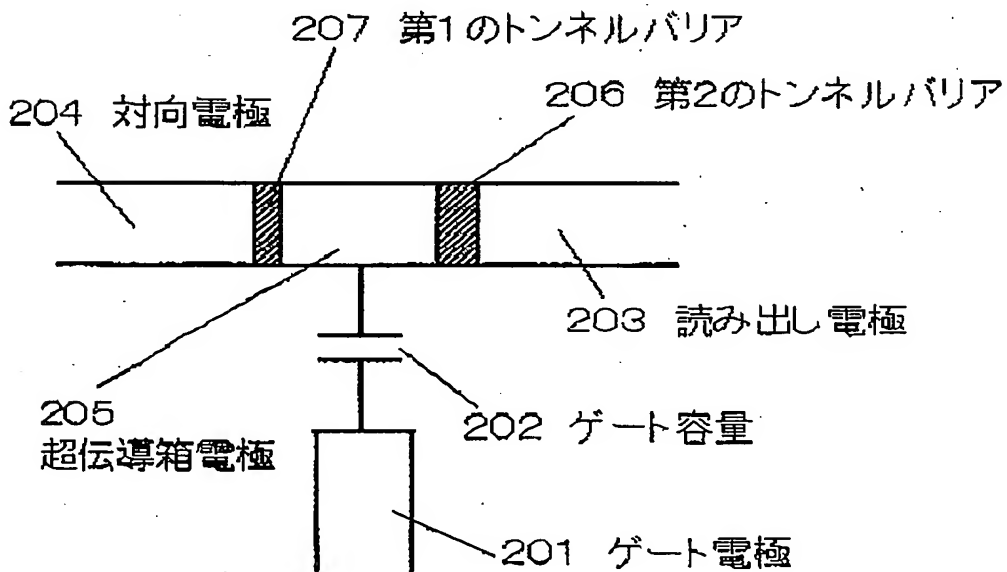
108、206、406、506 第2のトンネルバリア
109、408、508 ソース電極
110、409、511 島電極
111、411、503 第2のゲート電極
113、410、509 ドレイン電極
114、412、510 第3のトンネルバリア
115、413、512 第4のトンネルバリア
203 読み出し電極
403 絶縁体基板
501 マスク

【書類名】 図面

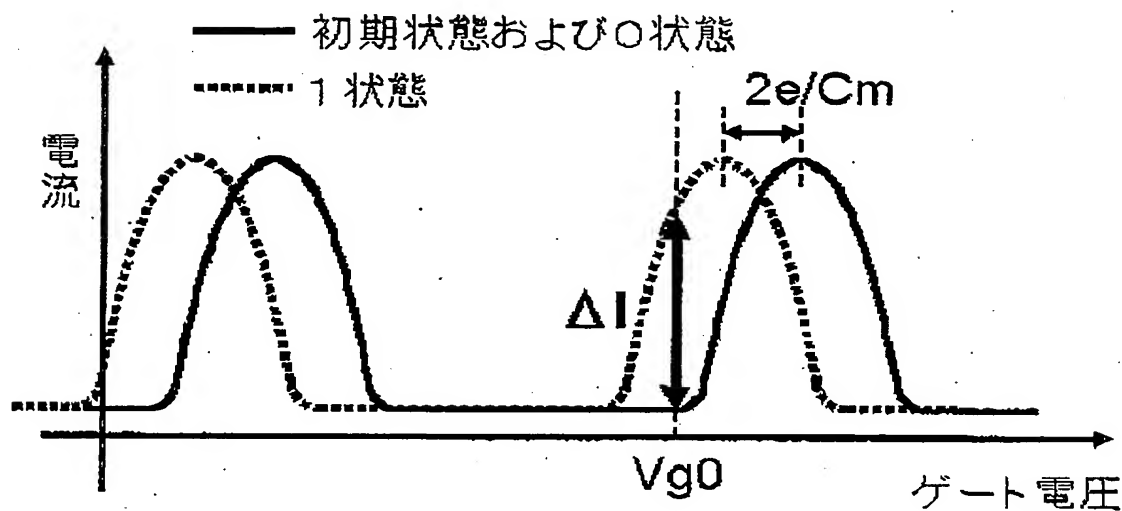
【図1】



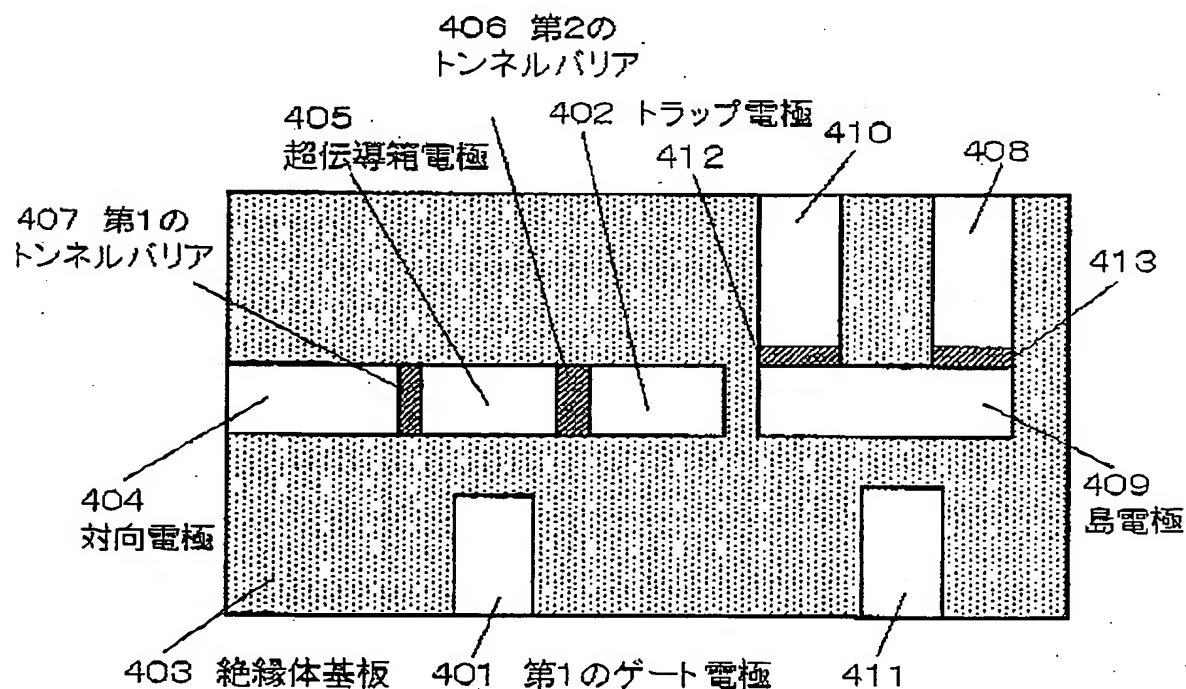
【図2】



【図 3】



【図 4】



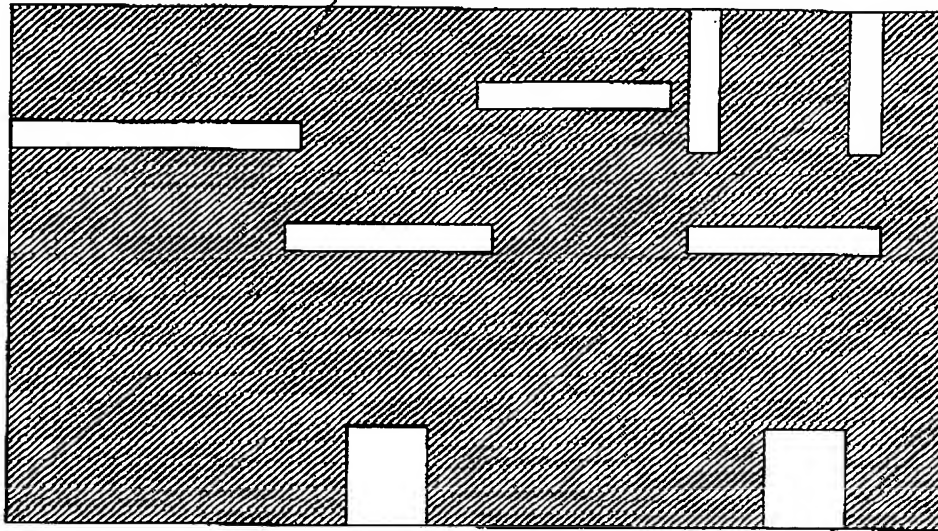
Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475
特願 2002-370135

ページ: 3/E

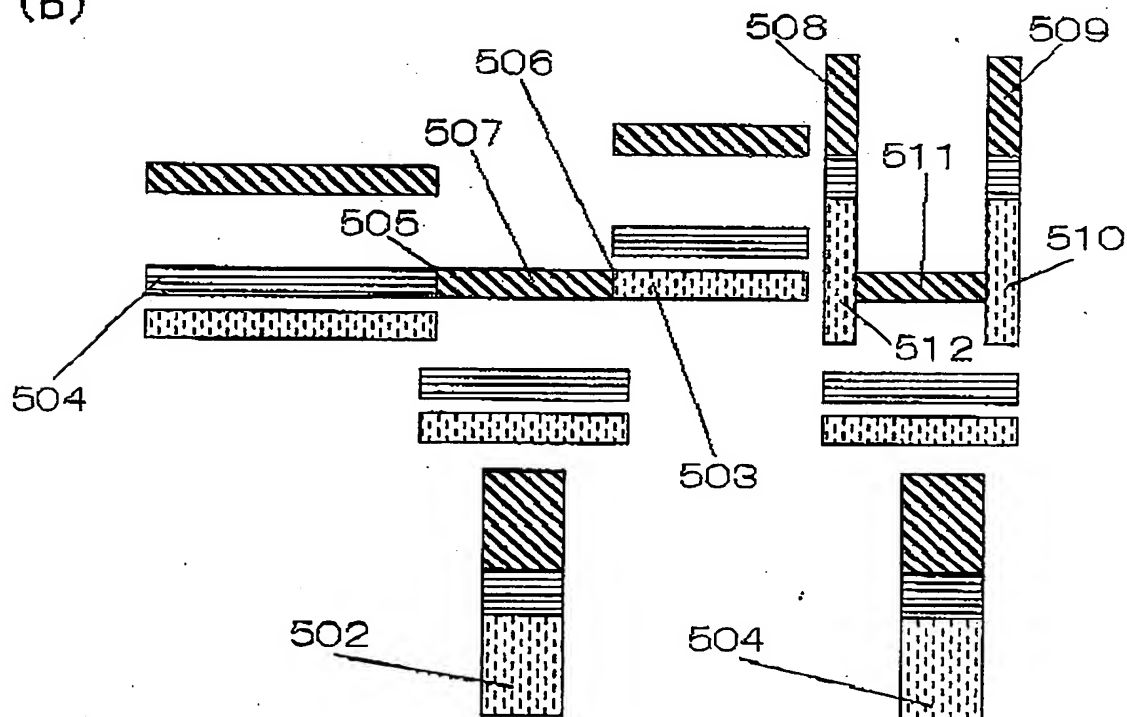
【図5】

(a)

501 マスク



(b)



Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475
特願 2002-370135

ページ: 1/E

【書類名】 要約書

【要約】

【課題】 量子演算素子を用いた演算では、量子状態の相関に関する情報を得ることができない。また、単一試行で情報を読み出す場合には量子演算回路が複雑になる。

【解決手段】 量子箱電極と対向電極によって形成された量子ビットをゲート電圧で制御し、量子ビットにトンネルバリアを挟んで結合されたトラップ電極に演算後の量子箱電極中の余剰クーパー対を溜める。トラップ電極と読み出し用の単電子トランジスタの島電極を静電容量を介して結合し、トラップ電極における電荷量の変化を単電子トランジスタの直流電流値として読み出す。

【選択図】 図1

Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475
特願 2 0 0 2 - 3 7 0 1 3 5

ページ: 1/E

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 0 1 3 5
受付番号	5 0 2 0 1 9 3 7 7 5 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 2 月 2 4 日

<認定情報・付加情報>

【提出日】

平成14年12月20日

次頁無

出証特 2 0 0 3 - 3 0 6 3 9 3 8

Date of receipt: 15 January 2004 (15.01.2004) PCT/JP2003/016475

特願 2 0 0 2 - 3 7 0 1 3 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社